

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-204520  
(43)Date of publication of application : 30.07.1999

(51)Int.Cl. H01L 21/3205

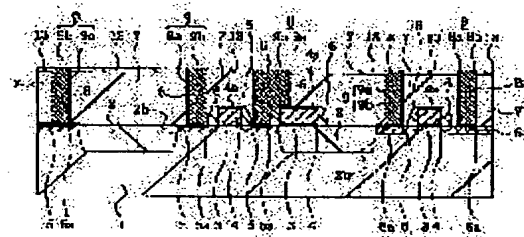
(21)Application number : 10-002391  
(22)Date of filing : 08.01.1998  
(71)Applicant : HITACHI LTD  
(72)Inventor : YAMADA YOHEI  
HOSOKAWA TAKASHI  
FUKUDA TAKUYA

### (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE

#### (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent oxide loss which is caused by rough density of plugs, when metal plugs are formed by using a chemical mechanical polishing(CMP) method.

**SOLUTION:** An MISFET Qn is formed on the main surface of a semiconductor substrate 1. After a silicon oxide film covering the MISFET Qn is deposited, the silicon oxide is polished by using a CMP method, and a flat interlayer insulating film 7 is formed. A silicon nitride film 13 of 50 nm thickness is deposited on the interlayer insulating film 7, connecting holes 8 are opened, and a titanium nitride film 9a and a tungsten film 9b with which the connecting holes 8 are filled are deposited. After that, the titanium nitride film 9a and the tungsten film 9b are polished by using the CMP method, and metal plugs 9 are formed in the connecting holes 8.



### LEGAL STATUS

[Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

(Japanese Laid-Open Patent Publication No.11-204520)

[0050] First, a semiconductor substrate 1, in which p-type impurities are introduced in low concentration, is provided, and, subsequent to the formation of shallow trenches 2b, isolation regions 2 are formed (Fig. 2). The shallow trenches 2b are formed by patterning a main surface of the semiconductor substrate 1 by means of photolithography and anisotropic etching. The isolation regions 2 are formed by depositing a silicon oxide film all over the semiconductor substrate 1 having the shallow trenches 2b, and by polishing the silicon oxide film by means of CMP so as to remove the silicon oxide film deposited on the semiconductor substrate 1 such that only the silicon oxide film is remained inside the shallow trenches 2b.

[0051] The silicon oxide film may be formed by means of, for example, thermal CVD using TEOS. In order to remove etching damage caused when the shallow trenches 2b are formed, a thin silicon oxide film may be formed before the silicon oxide film is deposited. Additionally, a silicon nitride film may be formed on a surface of the semiconductor substrate 1 except for the shallow trenches 2b so as to be a stopper film used when the silicon oxide film is subjected to CMP.

[0052] Next, a MISFET Qn is formed on the main surface of the semiconductor substrate (Fig. 3). The MISFET Qn is formed by depositing a silicon oxide film which is to be a gate insulating film 3 on the main surface of the semiconductor substrate 1 by means of, for example, thermal CVD, by depositing a polycrystalline silicon film which is to be gate electrodes 4, and by subsequently patterning the silicon oxide film and the polycrystalline silicon film so as to form the gate insulating film 3 and the gate electrodes 4. In order to lower resistance of the polycrystalline silicon film, impurities are introduced thereinto in high concentration. Then, sidewall spacers 6 are formed by, for example, depositing a silicon nitride film all over the semiconductor substrate 1, and by performing anisotropic etching such that only the silicon nitride film is

remained on side surfaces of the gate electrodes 4. Then, impurity semiconductor regions 5 are formed by introducing ions of n-type impurities such as phosphorus (P) and arsenic (As) in a self-aligning manner, using the gate electrodes 4 and the sidewall spacers 6 as a mask. It is to be understood that a photo resist film used in the above-described process can also be used as a mask so as to cover regions in which no impurities are formed. Further, metal silicide films 4a and 5a are formed on top surfaces of the gate electrodes 4 and top surfaces of the impurity semiconductor regions 5, respectively, by depositing a tungsten film all over the semiconductor substrate 1 and performing a heat treatment. In this case, while tungsten silicide is used as an example of the metal silicide films, the metal silicide film may be silicide of titanium (Ti) or cobalt (Co). Thus, the MISFET Qn shown in Fig. 3 is formed.

[0053] Next, an interlayer dielectric film 7 covering the MISFET Qn is formed (Fig. 4). The interlayer dielectric film 7 is formed by thickly depositing a silicon oxide film by means of, for example, CVD using TEOS, and by polishing the silicon oxide film by means of CMP to planarize the silicon oxide film. Therefore, surface flatness of the interlayer dielectric film 7 is guaranteed. Film thickness of the interlayer dielectric film 7 may be approximately 1000nm.

[0054] Next, a silicon nitride film 13 is deposited on a top surface of the interlayer dielectric film 7 (Fig. 5). The silicon nitride film 13 may be deposited by means of plasma CVD or sputtering. As described below, the silicon nitride film 13 functions as a stopper film used when polishing is performed by means of CMP. The film thickness of the silicon nitride film 13 may be 50nm.

[0055] Next, via holes 8 are formed by performing anisotropic etching for the silicon nitride film 13 and the interlayer dielectric film 7, using a photo resist film as a mask (Fig. 6). The via holes 8 are formed such that the impurity semiconductor regions 5 (the metal silicide film 5a) provided on the main surface of the semiconductor substrate 1 are

exposed.

[0056] Next, a titanium nitride film 9a is deposited as a barrier film, and further, a tungsten film 9b is deposited (Fig. 7). The titanium nitride film 9a may be deposited by means of sputtering or CVD. The tungsten film 9b may be deposited by means of, for example, blanket tungsten CVD. As shown in Fig. 7, the tungsten film 9b completely fills the via holes 8.

[0057] Next, metal plugs 9 are formed by removing, by means of CMP, the tungsten film 9b and the titanium nitride film 9a deposited on the silicon nitride film 13 except for portions of the via holes 8 (Fig. 8). In this case, the silicon nitride film 13 functions as a stopper against CMP polishing, since a polishing rate of the silicon nitride film 13 is equal to or lower than one fifth of the polishing rate of the tungsten film 9b or that of the titanium nitride film 9a. Thus, the interlayer dielectric film 7, which is provided below the silicon nitride film 13, is not polished, and therefore, the film thickness of the interlayer dielectric film 7 and heights of the metal plugs 9 can remain equal, regardless of whether the metal plugs 9 are provided in a dense manner or in a sparse manner.

[0058] With reference to Figs. 10, the above state will be described. Fig. 10 (a) is a diagram showing a cross section of the interlayer dielectric film 7 and the metal plugs 9 provided after polishing is performed by means of CMP in a case where the present invention is applied, and Fig. 10 (b) is a diagram showing a cross section thereof in a case where the present invention is not applied, for comparison. In each of Figs. 10 (a) and (b), the left-hand region shows a region in which the metal plugs 9 are formed in a dense manner and the right-hand region shows a region in which the metal plugs 9 are formed in a sparse manner. As shown in Fig. 10 (a), in the case where the present invention is applied such that the silicon nitride film 13 is formed so as to function as a stopper film, the silicon nitride film 13 remains due to its slow polishing rate when CMP is completed (i.e., when the tungsten film 9b and the titanium nitride film 9a deposited on the silicon nitride

film 13 are completely removed). The silicon nitride film 13 as described above remains, regardless of whether the metal plugs 9 are provided in a dense manner or in a sparse manner. In contrast, in the case where the silicon nitride film 13 is not formed, the metal plugs 9 provided in a dense manner in the left-hand region are overpolished so that flatness thereof cannot be maintained. Therefore, the heights of the metal plugs 9 and the film thickness of the interlayer dielectric film 7 cannot remain equal. Since the CMP polishing rate of tungsten or titanium nitride is higher than that of a silicon oxide film, an average polishing rate of the region (the left-hand region) in which the metal plugs are formed in a dense manner is high, and therefore is higher than that of the region (the right-hand region) in which the metal plugs are formed in a sparse manner. Thus, the above-described overpolishing occurs. Concavity formed by the above-described overpolishing is observed as so-called oxide loss.

[0059] Thus, according to the present embodiment using the silicon nitride film 13 to which the present invention is applied, the heights of the metal plugs 9 can be equal (the same) in the whole semiconductor substrate 1.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-204520

(43)公開日 平成11年(1999) 7月30日

(51)Int.Cl.<sup>6</sup>

H 0 1 L 21/3205

識別記号

F I

H 0 1 L 21/88

K

審査請求 未請求 請求項の数10 O L (全 11 頁)

(21)出願番号 特願平10-2391

(22)出願日 平成10年(1998) 1月8日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 山田 洋平

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 細川 隆

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 福田 琢也

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(74)代理人 弁理士 筒井 大和

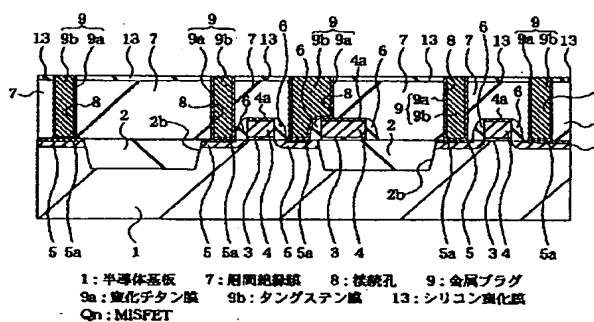
(54)【発明の名称】 半導体集積回路装置およびその製造方法

(57)【要約】

【課題】 金属プラグをCMP法により形成する場合に、プラグの粗密に起因して発生するオキサイドロスを防止する。

【解決手段】 半導体基板1の主面にMISFETQnを形成し、それを覆うシリコン酸化膜を堆積した後、これをCMP法で研磨して平坦な層間絶縁膜7を形成する。次に、層間絶縁膜7上に50nm膜厚のシリコン窒化膜13を堆積し、接続孔8を開口して、接続孔8を埋め込む窒化チタン膜9aおよびタンゲステン膜9bを堆積する。その後、窒化チタン膜9aおよびタンゲステン膜9bをCMP法により研磨し、接続孔8内に金属プラグ9を形成する。

図 8



【特許請求の範囲】

【請求項1】 その主面に半導体集積回路素子を有する半導体基板と、前記半導体基板上に堆積された層間絶縁膜と、前記層間絶縁膜に開口された接続孔にCMP法を用いて形成され、前記半導体基板の主面の前記半導体集積回路素子に接続されるプラグと、前記プラグに接続され、前記層間絶縁膜上に形成された配線とを含む半導体集積回路装置であって、

前記層間絶縁膜には、前記プラグが密に形成された第1領域と、前記プラグが疎に形成された第2領域とを有し、前記第1領域のプラグの前記半導体基板の主面からの標高と、前記第2領域のプラグの前記半導体基板の主面からの標高とは、ほぼ同一であることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、

前記配線上に形成された第2の層間絶縁膜と、前記第2の層間絶縁膜に開口された接続孔にCMP法を用いて形成された第2のプラグとを含み、

前記第2の層間絶縁膜には、前記第2のプラグが密に形成された第1領域と、前記第2のプラグが疎に形成された第2領域とを有し、前記第1領域の第2のプラグの前記半導体基板の主面からの標高と、前記第2領域の第2のプラグの前記半導体基板の主面からの標高とは、ほぼ同一であることを特徴とする半導体集積回路装置。

【請求項3】 請求項1または2記載の半導体集積回路装置であって、

前記第1領域の前記プラグまたは第2のプラグの前記標高と、前記第2領域の前記プラグまたは第2のプラグの前記標高との差は、100nm未満であることを特徴とする半導体集積回路装置。

【請求項4】 請求項1、2または3記載の半導体集積回路装置であって、

前記層間絶縁膜または第2の層間絶縁膜はシリコン酸化膜からなり、前記プラグまたは第2のプラグは主にタングステンからなることを特徴とする半導体集積回路装置。

【請求項5】 請求項1、2、3または4記載の半導体集積回路装置であって、

前記層間絶縁膜の表面または前記第2の層間絶縁膜の表面に残留する金属不純物は、 $1 \times 10^{12} \text{ atom/cm}^2$  以下であることを特徴とする半導体集積回路装置。

【請求項6】 請求項5記載の半導体集積回路装置であって、

前記金属不純物は、鉄原子、カリウム原子、銅原子であることを特徴とする半導体集積回路装置。

【請求項7】 (a) 半導体基板の主面に半導体集積回路素子を形成し、前記半導体集積回路素子の上層に層間絶縁膜を堆積する工程、

(b) 前記層間絶縁膜上に、前記層間絶縁膜よりもCM

P法による研磨速度が遅く、かつ、前記層間絶縁膜に対してエッチング選択比を有するストッパ膜を堆積する工程、

(c) 前記ストッパ膜および前記層間絶縁膜に接続孔を開口し、前記接続孔を埋め込む導電膜を前記ストッパ膜上に堆積する工程、

(d) 前記導電膜をCMP法により研磨し、前記接続孔内に前記導電膜からなるプラグを形成する工程、

(e) 前記プラグに接続する配線を形成する工程、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項7記載の半導体集積回路装置の製造方法であって、

前記プラグの形成後に、前記ストッパ膜を除去する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項9】 請求項7または8記載の半導体集積回路装置の製造方法であって、

前記層間絶縁膜はCVD法により形成されたシリコン酸化膜であり、前記ストッパ膜は、シリコン窒化膜、シリコン酸窒化膜、窒化ボロン膜、炭化シリコン膜またはSOG膜から選択された単層膜またはそれらの積層膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項10】 請求項7、8または9記載の半導体集積回路装置の製造方法であって、

前記ストッパ膜の膜厚を50nm以下にすることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装置およびその製造技術に関し、特に、半導体集積回路素子と配線、あるいは、異層配線間の接続に金属プラグが用いられる半導体集積回路装置およびその製造方法に適用して有効な技術に関するものである。

【0002】

【従来の技術】 半導体集積回路装置の高集積化および高性能化を図るため、素子の微細化に加えて、配線の微細化および高導電率化を図る必要がある。このため、配線と半導体基板との接続、あるいは、異層配線間の接続に、タングステンプラグが用いられる。

【0003】 このタングステンプラグの製造方法としては、タングステンの選択成長を用いた方法、プランケットタングステンCVD (Chemical Vapor Deposition; 化学的気相堆積) 法等によりタングステン膜を堆積した後これをエッチバックする方法等が知られている。プロセスの安定性、あるいは絶縁性の良好さの点から、タングステン膜の堆積後のエッチバックによる方法が多く用いられている。また、エッチバックの方法には、ドライエッチングによるエッチバック法もあるが、微細加工への適用容易性等の観点から、CMP (Chemical Mecha

3.

nical Polishing ; 化学的機械的研磨) 法が近年用いられるようになっていいる。

【0004】

【発明が解決しようとする課題】ところが、CMP法を用いたタングステンプラグの形成においては、タングステン膜と、タングステンプラグが形成されるシリコン酸化膜とのCMPの研磨速度の相違に起因して、タングステンプラグが密に形成されている領域で研磨速度が速くなり、CMPの研磨後の表面平坦性が保持できないという、いわゆるオキサイドロスが発生する問題が指摘されている。オキサイドロスが発生すると、層間絶縁膜に薄い部分が生じ、このような部分で配線層間の耐圧劣化が発生し、また、その後のフォトリソグラフィプロセスにおいて露光焦点が合わせ難くなって、半導体集積回路装置の信頼性を低下するとともに、歩留まりの低下を来す場合がある。また、CMPにより表面に傷(スクラッチ)が発生し、このスクラッチ部に残存した導電性物質が配線間のショートあるいは信頼性低下の原因となるという問題が指摘されている。

【0005】このような指摘は、たとえば、T. Myers et al., IMPROVED TUNGSTEN CMP TECHNOLOGY FOR SEMICONDUCTOR DEVICE FABRICATION, 1997 CMP-MIC, p99(1997) に記載されており、同文献においては、CMPの用いる研磨剤(スラリー)の砥粒の種類や酸化剤の成分および組成を最適化して前記問題点に対処する解決法が開示されている。

【0006】しかし、前記文献に記載の解決法では、根本的にオキサイドロスあるいはスクラッチの防止をするには至らない。また、スラリーの供給をメーカに頼らざるを得ず、スラリーに依存しない解決法が望まれる。

【0007】また、スラリーに用いられる材料には、鉄あるいはカリウム等が多く含まれ、これらイオン性の強い金属が半導体集積回路装置に好ましくないことは周知のとおりであるため、CMP後の洗浄が十分に行われる必要がある。しかし、現実にはこれら金属不純物の残留レベルを十分に低いレベル、たとえば $10^{11}$  atom/cm<sup>2</sup> のオーダーにまで、洗浄のみによって低減することは困難である。

【0008】本発明の目的は、金属プラグをCMP法により形成する場合に、プラグの粗密に起因して発生するオキサイドロスを防止することにある。

【0009】また、本発明の目的は、金属プラグをCMP法により形成する場合に発生するスクラッチを防止することにある。

【0010】また、本発明の目的は、CMP後の不純物の残留レベルを十分に低いレベルに低減することにある。

【0011】また、本発明の目的は、半導体集積回路装置の高い性能の維持、信頼性の向上および歩留まりの向上を図ることにある。

4

【0012】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0013】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0014】(1) 本発明の半導体集積回路装置は、その主面に半導体集積回路素子を有する半導体基板と、半導体基板上に堆積された層間絶縁膜と、層間絶縁膜に開口された接続孔にCMP法を用いて形成され、半導体基板の主面の半導体集積回路素子に接続されるプラグと、プラグに接続され、層間絶縁膜上に形成された配線とを含む半導体集積回路装置であって、層間絶縁膜には、プラグが密に形成された第1領域と、プラグが疎に形成された第2領域とを有し、第1領域のプラグの半導体基板の主面からの標高と、第2領域のプラグの半導体基板の主面からの標高とは、ほぼ同一であるものである。

【0015】このような半導体集積回路装置によれば、第1領域のプラグであっても第2領域のプラグであっても、その標高差がほぼ等しいため、オキサイドロスは発生しておらず、配線層間の耐電圧が確保される。また、プラグ形成後のフォトリソグラフィ工程における露光焦点合わせが容易となってフォーカスマージンが増加し、安定して加工することができるため歩留まりの向上を図ることができる。

【0016】なお、プラグは、半導体基板と第1層配線とを接続する最下層のプラグに限られず、第1層配線と第2層配線とを接続する第2層プラグ、その他それより上層の全てのプラグ(第2のプラグ)でもよい。すなわち、本発明の半導体集積回路装置は、前記配線上に形成された第2の層間絶縁膜と、第2の層間絶縁膜に開口された接続孔にCMP法を用いて形成された第2のプラグとを含み、第2の層間絶縁膜には、第2のプラグが密に形成された第1領域と、第2のプラグが疎に形成された第2領域とを有し、第1領域の第2のプラグの半導体基板の主面からの標高と、第2領域の第2のプラグの半導体基板の主面からの標高とは、ほぼ同一であるものである。

【0017】また、第1領域のプラグまたは第2のプラグの標高と、第2領域のプラグまたは第2のプラグの標高との差は、100nm未満とすることができる。第1領域および第2領域での各プラグの標高差はないこと(標高が同一)が最も好ましいが、ある程度の標高差は許容できる。この具体的な標高差として、本発明者らの経験に基づき、100nm未満を例示したものである。より好適には50nm以下が好ましい。

【0018】また、層間絶縁膜または第2の層間絶縁膜はシリコン酸化膜からなり、プラグまたは第2のプラグは主にタングステンからなるものとすることができる。

【0019】また、層間絶縁膜の表面または第2の層間絶縁膜の表面に残留する金属不純物は、 $1 \times 10^{12} \text{ atom/cm}^2$ 以下とすることができる。このように残留不純物濃度が低いと、半導体集積回路装置の信頼性を高く保つことができる。

【0020】この金属不純物は、鉄原子、カリウム原子、銅原子とすることができる。これら金属原子は、スラリから混入しやすく、また、半導体集積回路装置の特性を劣化させやすいものであるが、本発明では、これら不純物原子を特に低い残留レベルに低減しているものである。

【0021】(2) 本発明の半導体集積回路装置の製造方法は、(a) 半導体基板の主面に半導体集積回路素子を形成し、半導体集積回路素子の上面に層間絶縁膜を堆積する工程、(b) 層間絶縁膜上に、層間絶縁膜よりもCMP法による研磨速度が遅く、かつ、層間絶縁膜に対してエッチング選択比を有するストッパ膜を堆積する工程、(c) ストッパ膜および層間絶縁膜に接続孔を開口し、接続孔を埋め込む導電膜をストッパ膜上に堆積する工程、(d) 導電膜をCMP法により研磨し、接続孔内に導電膜からなるプラグを形成する工程、(e) プラグに接続する配線を形成する工程、を有するものである。

【0022】このような半導体集積回路装置の製造方法によれば、層間絶縁膜上に、層間絶縁膜よりもCMP法による研磨速度が遅く、かつ、層間絶縁膜に対してエッチング選択比を有するストッパ膜を堆積するため、導電膜のCMPによる研磨(エッチバック)の際に、ストッパ膜をCMPのストッパとして機能させることができる。この結果、プラグの粗密に依存せず、プラグの標高および層間絶縁膜の厚さを均一に形成することができ、すなわち半導体基板全面での平坦性を確保することができる。

【0023】また、このように、ストッパ膜によってCMPでの平坦性を確保するため、スラリの特性に依存せず、安定に加工することが可能となる。

【0024】したがって、本発明の製造方法によって、オキサイドロスの発生を防ぐことができ、配線層間の耐電圧の確保、その後のフォトリソグラフィ工程の安定化を図って、半導体集積回路装置の信頼性および歩留まりを向上できる。

【0025】なお、前記製造方法において、プラグの形成後に、ストッパ膜を除去する工程を有することができる。このように、ストッパ膜を除去することにより、ストッパ膜に付着したスラリに起因する金属不純物を同時に除去することができる。これにより半導体集積回路装置の信頼性を向上できる。また、ストッパ膜にはスクラッチが多く形成されていると考えられるが、ストッパ膜を除去することにより、スクラッチをも同時に除去することができる。これにより、スクラッチに起因する金属膜の研磨残りを防止して、配線間ショート等の発生を防止し、半導体集積回路装置の高い性能の維持、信頼性の

向上、および歩留まりの向上を図ることができる。

【0026】また、層間絶縁膜はCVD法により形成されたシリコン酸化膜であり、ストッパ膜は、シリコン窒化膜、シリコン酸窒化膜、窒化硼素膜、炭化シリコン膜またはSOG膜から選択された単層膜またはそれらの積層膜とすることができる。

【0027】さらに、ストッパ膜の膜厚は50nm以下とすることができる。もっとも、膜厚が薄過ぎれば、ストッパ膜として機能しなくなるため、ストッパ膜の機能が維持できる膜厚が下限となる。

【0028】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0029】図1は、本発明の一実施の形態である半導体集積回路装置の一例を示した断面図である。

【0030】p形の不純物(たとえば硼素(B))が低濃度で導入された半導体基板1の主面には、分離領域2が形成され、分離領域2で囲まれた活性領域には、MISFETQnが形成されている。

【0031】分離領域2は、半導体基板1の主面の浅溝内にシリコン酸化膜を埋め込んで形成されたものであり、半導体基板1の表面の平坦性を高く保つことができる。

【0032】MISFETQnは、たとえば薄いシリコン酸化膜からなるゲート絶縁膜3を介して半導体基板1の主面上に形成されたゲート電極4と、ゲート電極4の両側の活性領域に形成された一対の不純物半導体領域5とからなる。

【0033】ゲート電極4は、たとえば多結晶シリコン膜からなり、たとえばn形の不純物であるリン(P)またはヒ素(As)が導入されて低抵抗化されている。また、表面近傍には、金属シリサイド膜4aが形成され、さらに低抵抗化が図られている。金属シリサイド膜4aの金属元素としては、タングステン、チタン、コバルト等を例示できる。

【0034】また、ゲート電極4の側面には、サイドウォールスペーサ6が形成されている。サイドウォールスペーサ6はたとえばシリコン窒化膜からなる。

【0035】不純物半導体領域5には、n形の不純物、たとえばリン(P)またはヒ素(As)が高濃度で導入されている。すなわち、MISFETQnは、nチャネルMISFETである。対向する不純物半導体領域5の側面、つまり不純物半導体領域5のチャネルに接する領域の不純物濃度を低くして、いわゆるLDD(Lightly Doped Drain)構造にすることもできる。

【0036】不純物半導体領域5の表面近傍には、金属シリサイド膜5aが形成されている。金属シリサイド膜5aは、金属シリサイド膜4aと同様にタングステン、チタン、コバルト等のシリサイド物とすることができる。金属シリサイド膜5aと金属シリサイド膜4aと

は、後に説明するようにサリサイド技術を用いて同時に形成できる。このような金属シリサイド膜5aにより不純物半導体領域5のシート抵抗を低減できるとともに、後に説明するプラグとの接触抵抗を低減できる。

【0037】なお、ここでは、nチャネルMISFETを例示しているが、pチャネルMISFETであってもよい。この場合、半導体基板1および不純物半導体領域5の導電性は前記と逆になる。また、nチャネルMISFETおよびpチャネルMISFETの両方を形成し、CMISFET(Complimentary-MISFET)としてもよい。さらに、半導体基板1にウェル領域を形成してもよい。

【0038】ゲート電極4および半導体基板1の主面は、層間絶縁膜7で覆われている。層間絶縁膜7は、たとえばTEOS(テトラメトキシシラン)を原料ガスとしたCVD法により形成されたシリコン酸化膜とすることができる。

【0039】不純物半導体領域5の上部の層間絶縁膜7には、接続孔8が形成され、接続孔8の内部には金属プラグ9が形成されている。金属プラグ9は、バリアメタルである窒化チタン(TiN)膜9aおよびタングステン(W)膜9bからなる。タングステン膜9bは、たとえばブランケットタングステンCVD法により形成され、窒化チタン膜9aは、たとえばスパッタ法により堆積される。窒化チタン膜9aは、タングステン膜9bを堆積する際の接着性の改善およびタングステンの熱拡散の防止に機能する。

【0040】本実施の形態においては、金属プラグ9の半導体基板1の主面からの標高は、半導体基板1の全面においてほぼ均一(同一)である。このように金属プラグ9の標高が均一に形成できるのは、後に説明するように、金属プラグ9を形成する際のCMP工程において、層間絶縁膜7上に形成されたシリコン窒化膜をストッパ膜として機能させ、金属プラグ9が密に形成された領域のオキサイドロス低減できるためである。この結果、層間絶縁膜7の膜厚を金属プラグ9の粗密に関わらず均一にできるため、その上下に形成される導電性部材(たとえば第1層配線M1と半導体基板1)間の耐電圧を向上して、半導体集積回路装置の信頼性を向上できる。また、本実施の形態では、金属プラグ9の標高が均一であるため、その後の工程において金属プラグ9上にさらにプラグを形成する場合等、金属プラグ9上にレジスト膜を形成してフォトリソグラフィを行う場合に、露光焦点の合わせが容易になる。この結果、工程での露光マージンが増加して工程のロバスト性が向上し、半導体集積回路装置の信頼性および歩留まりを向上できる。

【0041】金属プラグ9の標高の均一性は、100nm未満の範囲である。実際には、後に説明するストッパ膜であるシリコン窒化膜の膜厚によりほぼ決定されるが、50nm以下にすることも可能である。

【0042】また、層間絶縁膜7の上部界面での金属不純物の残留濃度は、著しく低くなっている。たとえば、鉄(Fe)、カリウム(K)、銅(Cu)等、CMP工程で混入する金属不純物n濃度が $1 \times 10^{12} \text{ atom/cm}^2$ 以下となっている。このような低い不純物濃度に行えるのは、後に説明するように、CMP工程でストッパ膜を用い、これを除去する際に金属不純物も同時に除去するためである。このため、このような金属不純物に起因する半導体集積回路装置の信頼性の低下、あるいは性能の低下を防止することができる。

【0043】金属プラグ9および層間絶縁膜7上には第1層配線M1が形成されている。第1層配線M1は、たとえば窒化チタン膜、アルミニウム膜およびチタン膜からなる積層膜とすることができる。このように、導電性に優れたアルミニウムを主導電層として配線を構成するため、半導体集積回路装置の性能(特に高速応答性能)を向上できる。

【0044】第1層配線M1は、第2層間絶縁膜10で覆われている。第2層間絶縁膜10は、層間絶縁膜7と同様にTEOSを原料ガスとしたCVD法により形成されたシリコン酸化膜とすることができる。

【0045】第2層間絶縁膜10には、接続孔11が形成され、接続孔11の内部には金属プラグ12が形成されている。金属プラグ12は、金属プラグ9と同様に、バリアメタルである窒化チタン膜12aおよびタングステン膜12bからなる。窒化チタン膜12aおよびタングステン膜12bは、上記窒化チタン膜9aおよびタングステン膜9bと同様である。

【0046】金属プラグ12上には、第2層配線M2が形成されている。第2層配線M2は、第1層配線M1と同様にたとえば窒化チタン膜、アルミニウム膜およびチタン膜からなる積層膜から構成される。これにより第2層配線M2の導電性を向上して半導体集積回路装置の性能を向上できる。

【0047】本実施の形態では、金属プラグ12の標高(半導体基板1からの表面の高さ)も半導体基板1の全面にわたってほぼ均一である。このように金属プラグ12の標高を均一にすることができる理由は前記した金属プラグ9についての場合と同様である。また、その効果は、第1層配線M1と第2層配線M2間の耐電圧を向上でき、金属プラグ12を形成した後の工程マージンを向上できる点で金属プラグ9の場合と同様である。また、第2層間絶縁膜10の上部界面における金属不純物の濃度を低減できることも同様である。

【0048】なお、本実施の形態では説明を省略するが、第2層配線M2上に、さらに層間絶縁膜を形成し、プラグおよび配線を形成してもよいことはいうまでもない。この場合のプラグ表面の標高を半導体基板1の全面にわたって均一にできることは前記と同様である。

【0049】次に、本実施の形態の半導体集積回路装置

の製造方法を図2～図12を用いて説明する。図2～図12は、本実施の形態の半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【0050】まず、p形の不純物が低濃度に導入された半導体基板1を用意し、浅溝2bを形成した後、分離領域2を形成する(図2)。浅溝2bは、フォトリソグラフィ技術および異方性エッチング技術を用いて半導体基板1の主面をパターニングすることにより形成する。分離領域2は、浅溝2bを含む半導体基板1の全面にシリコン酸化膜を堆積し、このシリコン酸化膜をCMP法により研磨して半導体基板1上のシリコン酸化膜を除去し、浅溝2b内にのみシリコン酸化膜を残すことにより形成する。

【0051】シリコン酸化膜は、たとえばTEOSを用いた熱CVD法により形成することができる。シリコン酸化膜の堆積前に、浅溝2bを形成した際のエッチングダメージを除去するための薄いシリコン酸化膜を形成してもよい。また、浅溝2b以外の半導体基板1の表面にシリコン窒化膜を形成して、シリコン酸化膜のCMPの際のストッパ膜としてもよい。

【0052】次に、半導体基板の主面にMISFETQnを形成する(図3)。MISFETQnの形成は、まず半導体基板1の主面上にゲート絶縁膜3となるシリコン酸化膜をたとえば熱CVD法で堆積し、さらにゲート電極4となる多結晶シリコン膜を堆積した後、多結晶シリコン膜およびシリコン酸化膜をパターニングしてゲート絶縁膜3およびゲート電極4を形成する。多結晶シリコン膜には低抵抗化の為、不純物を高濃度に導入する。その後、たとえばシリコン窒化膜を半導体基板1の全面に堆積した後、異方性エッチングを行って、ゲート電極4の側面にのみシリコン窒化膜を残し、サイドウォールスペーサ6とする。その後、ゲート電極4およびサイドウォールスペーサ6をマスクとしてn形の不純物、たとえばリン(P)あるいはヒ素(As)を自己整合的にイオン注入し、不純物半導体領域5を形成する。この際フォトリソグラフ膜をマスクとして併用し、不純物が形成されない領域を覆うことができることはいうまでもない。さらに、半導体基板1の全面にたとえばタングステン膜を堆積し、熱処理を行って、ゲート電極4の上面および不純物半導体領域5の上面に金属シリサイド膜4a、5aを各々形成する。ここでは、金属シリサイド膜としてタングステンシリサイドを例示しているが、チタン(Ti)、あるいはコバルト(Co)のシリサイド膜であってもよい。このようにして図3に示すMISFETQnを形成する。

【0053】次に、MISFETQnを覆う層間絶縁膜7を形成する(図4)。層間絶縁膜7の形成は、たとえばTEOSを用いたCVD法によりシリコン酸化膜を厚く堆積し、このシリコン酸化膜をCMP法を用いて研磨して平坦化することにより形成する。よって、層間絶縁

膜7は表面平坦性が確保される。層間絶縁膜7の膜厚は約1000nmとすることができる。

【0054】次に、層間絶縁膜7の上面にシリコン窒化膜13を堆積する(図5)。シリコン窒化膜13はプラズマCVD法あるいはスパッタ法によって堆積できる。シリコン窒化膜13は、後に説明するように、CMP法による研磨の際のストッパ膜として機能する。シリコン窒化膜13の膜厚は50nmとすることができる。

【0055】次に、フォトリソグラフ膜をマスクとして、シリコン窒化膜13および層間絶縁膜7を異方性エッチングし、接続孔8を形成する(図6)。接続孔8は、半導体基板1の主面の不純物半導体領域5(金属シリサイド膜5a)が露出するように形成する。

【0056】次に、バリア膜として窒化チタン膜9aを堆積し、さらにタングステン膜9bを堆積する(図7)。窒化チタン膜9aはスパッタ法あるいはCVD法により堆積できる。また、タングステン膜9bはたとえばブランケットタングステンCVD法により堆積できる。タングステン膜9bは図7に示すとおり、接続孔8を完全に埋め込む。

【0057】次に、接続孔8の部分を除くシリコン窒化膜13上のタングステン膜9bおよび窒化チタン膜9aをCMP法により除去し、金属プラグ9を形成する(図8)。この際、シリコン窒化膜13の研磨速度は、タングステン膜9bあるいは窒化チタン膜9aの研磨速度と比較して5倍以上遅いため、シリコン窒化膜13がCMPの研磨のストッパとして機能する。このため、シリコン窒化膜13の下層の層間絶縁膜7が研磨されることがなく、金属プラグ9の粗密に関係なく、層間絶縁膜7の膜厚および金属プラグ9の標高が均一に保たれる。

【0058】この状況を図10を用いて説明する。図10(a)は、本発明を適用した場合のCMP研磨後の層間絶縁膜7および金属プラグ9の断面形状を示したものであり、図10(b)は、比較のため本発明を適用しない場合の断面形状を示したものである。図10(a)、

(b)の双方ともに、左側領域は金属プラグ9が密に形成された領域を示し、右側領域は金属プラグ9が疎に形成された領域を示している。図10(a)に示すとおり、本発明を適用してシリコン窒化膜13を形成し、これをストッパ膜として作用させた場合には、CMPが終了した段階で(すなわち、シリコン窒化膜13上のタングステン膜9bおよび窒化チタン膜9aが完全に除去された段階で)、シリコン窒化膜13は研磨が遅いため残っている状態となる。このようなシリコン窒化膜13は金属プラグ9の粗密に関わらず残存する。一方、シリコン窒化膜13を形成しない場合には、金属プラグ9が密に形成された左側領域で過剰に研磨され、平坦性を保持することができない。このため金属プラグ9の標高および層間絶縁膜7の膜厚を均一に保つことができない。このような過剰な研磨は、タングステンあるいは窒化チタ

ンがシリコン酸化膜よりもCMPの研磨速度が速いため、金属プラグが密に形成された領域（左側領域）では平均的な研磨速度が速くなり、金属プラグが疎な領域（右側領域）よりも研磨速度が速くなるために生じる。このような過剰研磨により生ずる凹みは、いわゆるオキサイドロスとして観察されるものである。

【0059】このように、本発明を適用したシリコン窒化膜13を用いる本実施の形態では、金属プラグ9の標高を半導体基板1の全面にわたって均一（同一）にすることができる。

【0060】次に、シリコン窒化膜13を除去する（図9）。シリコン窒化膜13の除去は、たとえば熱リン酸によるエッチングにより行うことができる。このようにシリコン窒化膜13の除去を行うため、CMPの際にたとえばスラリを構成する金属不純物が残留する可能性を取り除くことができる。すなわち、スラリの残留物は主にシリコン窒化膜13上に残留しており、これを除去するため、シリコン窒化膜13と同時に不純物も除去できるためである。なお、不純物としては主に鉄、カリウム、銅を例示できるが、他にカルシウム（Ca）、亜鉛（Zn）、ナトリウム（Na）、アルミニウム（Al）、マグネシウム（Mg）、マンガン（Mn）等も例示できる。また、このように、不純物をシリコン窒化膜13と同時に除去するため、不純物の残留レベルは $1.0 \times 10^{11} \text{ atom/cm}^2$ のオーダー、すなわち $1 \times 10^{12} \text{ atom/cm}^2$ 未満にすることができる。

【0061】また、CMPの研磨により、スクラッチが発生し、これに起因して、上層に形成される配線間のショート不良が発生する恐れが生じるが、本実施の形態では、スクラッチは主にシリコン窒化膜13上に発生し、このようなスクラッチを有するシリコン窒化膜13を取り除くため、スクラッチをも取り除くことができる。この結果、半導体集積回路装置の性能および信頼性を向上できる。

【0062】なお、金属プラグ9の標高は、ほぼ均一であるが、シリコン窒化膜13の膜厚程度の標高差は存在する可能性がある。すなわち、最大50nmの標高差が生じる。しかし、この程度の標高差は後の工程マージンに吸収することが可能であり、特に問題は発生しない。

【0063】次に、第1層配線M1を形成する（図11）。第1層配線M1は、たとえば窒化チタン膜、アルミニウム膜およびチタン膜を堆積した後、フォトリソ膜をマスクとしてエッチングして形成することができる。

【0064】次に、第1層配線M1を覆う第2層間絶縁膜10を堆積した後、接続孔11を形成し、金属プラグ12を形成する（図12）。第2層間絶縁膜10、接続孔11および金属プラグ12の構成および製造方法は、前記した層間絶縁膜7、接続孔8および金属プラグ9と同様であるため説明を省略する。すなわち、金属プラグ

12の形成の際にもシリコン窒化膜をストップ膜として使用することが可能であり、シリコン窒化膜の使用により金属プラグ12の標高および第2層間絶縁膜10の膜厚を均一にし、残留不純物のレベルを低くすることができる。また、スクラッチの影響も取り除くことができる。

【0065】最後に、第2層配線M2を第1層配線M1と同様に形成して図1の半導体集積回路装置がほぼ完成する。

10 【0066】本実施の形態の半導体集積回路装置およびその製造方法によれば、金属プラグ9、12の標高を均一にして、また、層間絶縁膜7、10の膜厚を均一にできる。これにより、半導体集積回路装置の製造工程の工程マージンを増加し、半導体集積回路装置の信頼性および歩留まりを向上できる。

【0067】また、CMP研磨により残留する可能性のある不純物金属の残留レベルを低減して半導体集積回路装置の信頼性を向上できる。

20 【0068】また、CMPにより発生するスクラッチを除去し、上層に形成される配線等のショート不良を防止して、半導体集積回路装置の性能および信頼性を高くすることができる。

【0069】なお、上記実施の形態では、CMP法のストップ膜としてシリコン窒化膜13を例示したが、これに限られず、シリコン酸窒化（SiON膜）、窒化ボロン（BN）膜、炭化シリコン（SiC）膜、あるいはSiO<sub>2</sub>膜であってもよい。

30 【0070】また、金属プラグ9のバリア膜として窒化チタン膜9aを例示したが、スパッタタングステン膜であってもよい。

【0071】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

40 【0072】たとえば、上記実施の形態では、シリコン窒化膜13を除去した例を説明したが、図13および図14に示すように、シリコン窒化膜13を除去せず、残存させてもよい。すなわち、図13に示すように、CMP法でタングステン膜9bおよび窒化チタン膜9aを除去し、金属プラグ9を形成（前記図8）した後、シリコン窒化膜13を除去せずに第1層配線M1を形成する。その後前記実施の形態と同様な方法により第2層間絶縁膜10、金属プラグ12および第2層配線M2を形成する（図14）。この場合は、シリコン窒化膜13の除去工程を省略して工程を簡略化することができる。

50 【0073】また、第2層配線M2をいわゆるダマシン法により形成することもできる。すなわち、図15に示すように、第2層間絶縁膜10を堆積後、接続孔11および配線溝14を第2層間絶縁膜10に形成する。その

後、図16に示すように、バリア膜として窒化チタン膜15aを堆積し、さらに銅膜15bを堆積したのち、第2層間絶縁膜10上の銅膜15bおよび窒化チタン膜15aをCMP法により除去して窒化チタン膜15aおよび銅膜15bからなる第2層配線M2を形成することができる。この場合、銅を主導電層として、より高性能な半導体集積回路装置に対応することが可能となる。また、この場合、実施の形態と同様に第2層間絶縁膜10上にCMPのストッパとしてシリコン窒化膜を形成することができ、このシリコン窒化膜を除去して残留不純物の濃度を低減することができる。この場合の残留金属としては銅が多くなると考えられることから、本実施の形態の不純物除去の効果が特に有効に働くこととなる。

#### 【0074】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0075】(1) 金属プラグをCMP法により形成する場合に、プラグの粗密に起因して発生するオキサイドロスを防止することができる。

【0076】(2) 金属プラグをCMP法により形成する場合に発生するスクラッチを防止することができる。

【0077】(3) CMP後の不純物の残留レベルを十分に低いレベルに低減することができる。

【0078】(4) 半導体集積回路装置の高い性能の維持、信頼性の向上および歩留まりの向上を図ることができる。

#### 【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置の一例を示した断面図である。

【図2】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図3】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図4】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図5】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図6】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図7】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図8】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図9】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図10】(a)は、本発明を適用した場合のCMP研

磨後の層間絶縁膜および金属プラグの断面形状を示したものであり、(b)は、比較のため本発明を適用しない場合の断面形状を示したものである。

【図11】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図12】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した断面図である。

【図13】本発明の一実施の形態である半導体集積回路装置の製造方法の他の例を工程順に示した断面図である。

【図14】本発明の一実施の形態である半導体集積回路装置の製造方法の他の例を工程順に示した断面図である。

【図15】本発明の一実施の形態である半導体集積回路装置の製造方法のさらに他の例を工程順に示した断面図である。

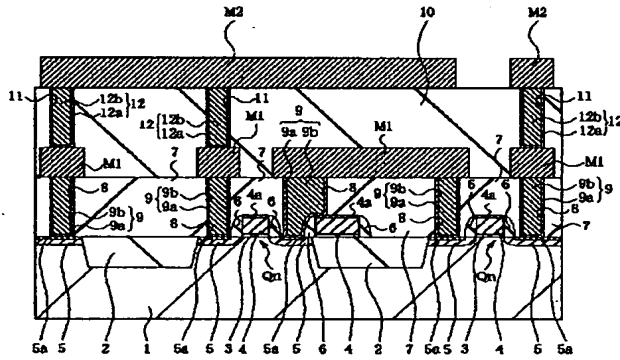
【図16】本発明の一実施の形態である半導体集積回路装置の製造方法のさらに他の例を工程順に示した断面図である。

#### 【符号の説明】

- 1 半導体基板
- 2 分離領域
- 2b 浅溝
- 3 ゲート絶縁膜
- 4 ゲート電極
- 4a 金属シリサイド膜
- 5 不純物半導体領域
- 5a 金属シリサイド膜
- 6 サイドウォールスペーサ
- 7 層間絶縁膜
- 8 接続孔
- 9 金属プラグ
- 9a 窒化チタン膜
- 9b タングステン膜
- 10 第2層間絶縁膜
- 11 接続孔
- 12 金属プラグ
- 12a 窒化チタン膜
- 12b タングステン膜
- 13 シリコン窒化膜
- 14 配線溝
- 15a 窒化チタン膜
- 15b 銅膜
- M1 第1層配線
- M2 第2層配線
- Qn MISFET

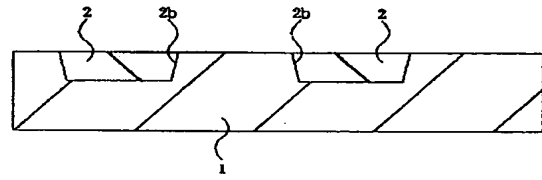
【図1】

図 1



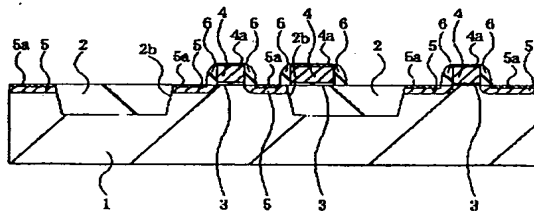
【図2】

図 2



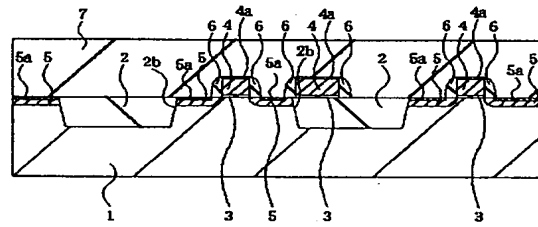
【図3】

図 3



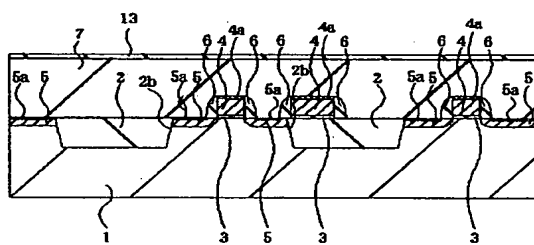
【図4】

図 4



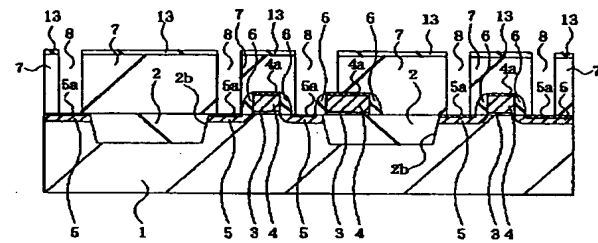
【図5】

図 5



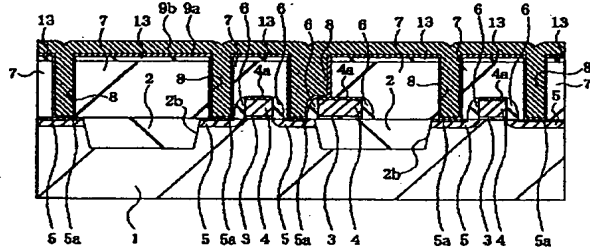
【図6】

図 6



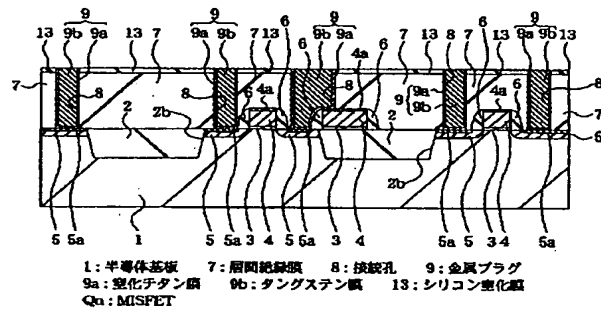
【図7】

図 7



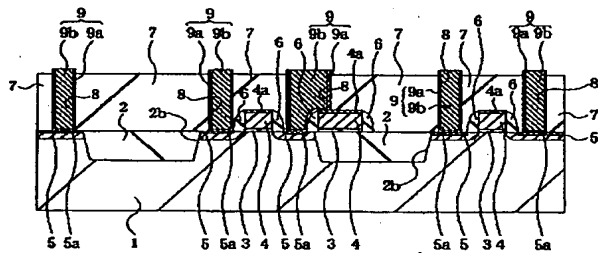
【図8】

図 8



【図9】

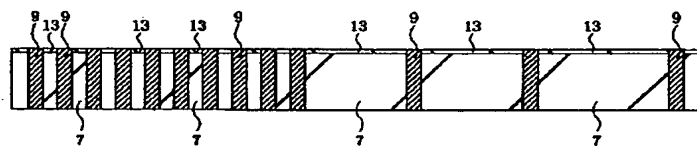
図 9



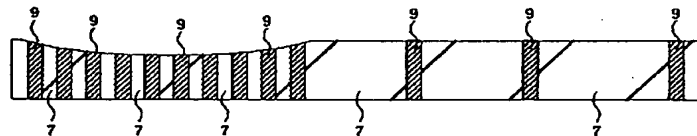
【図10】

図 10

(a)

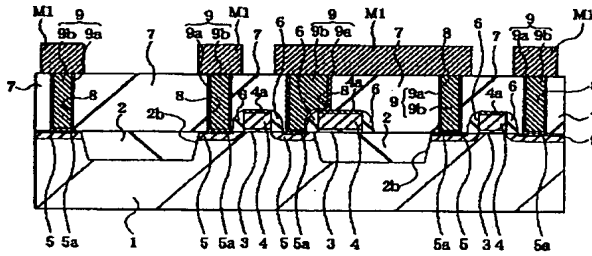


(b)



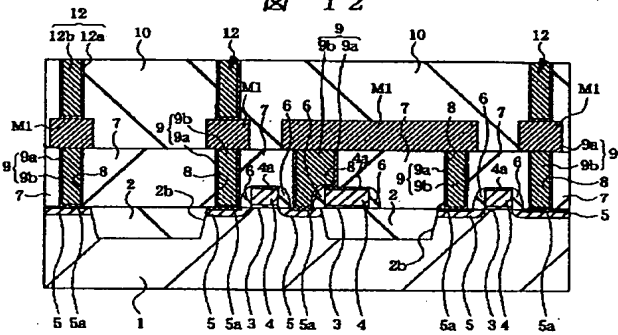
【図11】

図 11



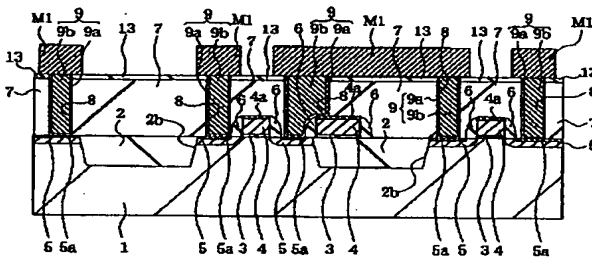
【図12】

図 12



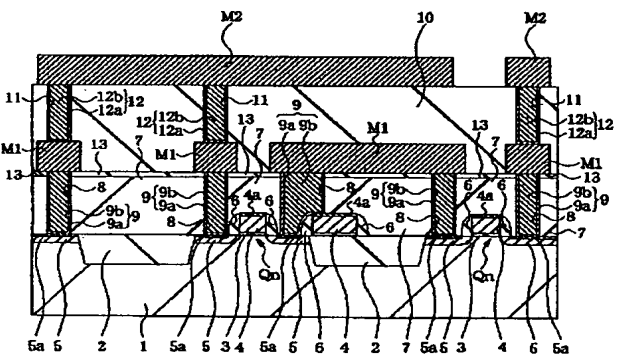
【図13】

図 13



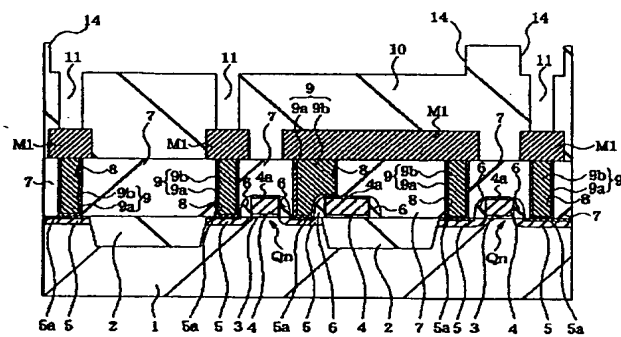
【図14】

図 14



【図15】

図 15



【図16】

図 16

